

【特許請求の範囲】

【請求項 1】

マザーボードに装着される第 1 バッファと、
前記マザーボードに装着され、前記第 1 バッファに連結される少なくとも一つの第 1 メモリ装置と、

前記マザーボード上において前記第 1 バッファ及び前記少なくとも一つの第 1 メモリ装置に配線される複数の信号線と、を備えることを特徴とするメモリシステム。

【請求項 2】

前記第 1 バッファは、アドレス及びコマンド信号を前記少なくとも一つの第 1 メモリ装置にドライビングするコマンド及びアドレスバッファであることを特徴とする請求項 1 に記載のメモリシステム。

10

【請求項 3】

前記コマンド及びアドレスバッファは、

前記マザーボード上に配線されている第 1 コマンド及びアドレス信号線を介してコマンド及びアドレス信号を受信することを特徴とする請求項 2 に記載のメモリシステム。

【請求項 4】

前記少なくとも一つの第 1 メモリ装置は、

前記マザーボード上に配線されている第 2 コマンド及びアドレス信号線を介して前記コマンド及びアドレスバッファから前記コマンド及びアドレス信号を受信し、

前記第 1 コマンド及びアドレス信号線は、前記第 2 コマンド及びアドレス信号線と垂直に配置されることを特徴とする請求項 3 に記載のメモリシステム。

20

【請求項 5】

前記少なくとも一つの第 1 メモリ装置は、DRAM または SDRAM であることを特徴とする請求項 1 に記載のメモリシステム。

【請求項 6】

前記少なくとも一つの第 1 メモリ装置は、前記マザーボード上に配線され、対応するデータ及びクロック信号線を介してデータ信号及びクロック信号を受信することを特徴とする請求項 1 に記載のメモリシステム。

【請求項 7】

前記マザーボード上に装着されているソケットを通じてメモリコントローラと電気的に連結される少なくとも一つのメモリモジュールを備えることを特徴とする請求項 1 に記載のメモリシステム。

30

【請求項 8】

前記少なくとも一つのメモリモジュールは、

前記少なくとも一つのメモリモジュールのモジュールボード上に装着される第 2 バッファと、

前記少なくとも一つのメモリモジュールのモジュールボード上に装着され前記第 2 バッファに連結される少なくとも一つの第 2 メモリ装置と、を備えることを特徴とする請求項 7 に記載のメモリシステム。

【請求項 9】

前記少なくとも一つの第 2 メモリ装置は、DRAM または SDRAM あることを特徴とする請求項 8 に記載のメモリシステム。

40

【請求項 10】

前記少なくとも一つのメモリモジュールは、

前記マザーボード上における前記メモリコントローラから前記少なくとも一つの第 1 メモリ装置までの距離よりも遠くに配置されることを特徴とする請求項 7 に記載のメモリシステム。

【請求項 11】

第 1 クロック信号線上のシステムクロック信号にตอบสนองして第 2 クロック信号線上の第 1 クロック信号を発生し前記マザーボード上に装着される位相同期ループを備えており、

50

前記少なくとも一つの第1メモリ装置は、前記第1クロック信号に同期して動作することを特徴とする請求項1に記載のメモリシステム。

【請求項12】

第1クロック信号線上のシステムクロック信号に応答して第2クロック信号線上の第1クロック信号を発生し前記マザーボード上に装着される遅延同期ループを備えており、

前記少なくとも一つの第1メモリ装置は、前記第1クロック信号に同期して動作することを特徴とする請求項1に記載のメモリシステム。

【請求項13】

前記システムクロック信号のための前記第1クロック信号線は、前記第1クロック信号のための前記第2クロック信号線に垂直に配置されていることを特徴とする請求項11に記載のメモリシステム。

10

【請求項14】

前記システムクロック信号のための前記第1クロック信号線は、前記第1クロック信号のための前記第2クロック信号線に垂直に配置されていることを特徴とする請求項12に記載のメモリシステム。

【請求項15】

マザーボード上に直接装着される少なくとも一つのメモリランクと、

前記マザーボード上において前記少なくとも一つのメモリランクに配線される複数の信号線と、を備えることを特徴とするメモリシステム。

【請求項16】

20

前記少なくとも一つのメモリランクは、

少なくとも一つの第1メモリ装置と、

アドレス及びコマンド信号を前記少なくとも一つの第1メモリ装置に前記マザーボード上の対応する信号線を介してドライビングする第1バッファと、を備えることを特徴とする請求項15に記載のメモリシステム。

【請求項17】

少なくとも一つの前記第1バッファは、

前記マザーボード上に配線されている第1コマンド及びアドレス信号線を介してコマンド及びアドレス信号を受信することを特徴とする請求項16に記載のメモリシステム。

【請求項18】

30

前記少なくとも一つの第1メモリ装置は、

前記マザーボード上に配線されている第2コマンド及びアドレス信号線を介して前記少なくとも一つの第1バッファから前記コマンド及びアドレス信号を受信し、

前記第1コマンド及びアドレス信号線は、前記第2コマンド及びアドレス信号線と垂直に配置されていることを特徴とする請求項17に記載のメモリシステム。

【請求項19】

前記少なくとも一つの第1メモリ装置は前記マザーボード上に配線され、対応するデータ及びクロック信号線を介してデータ信号及びクロック信号を受信することを特徴とする請求項17に記載のメモリシステム。

【請求項20】

40

前記少なくとも一つの第1メモリ装置は、DRAMまたはSDRAMであることを特徴とする請求項17に記載のメモリシステム。

【請求項21】

第1クロック信号線上のシステムクロック信号に応答して第2クロック信号線上の第1クロック信号を発生する位相同期ループを備えており、

前記少なくとも一つの第1メモリ装置は、前記第1クロック信号に同期して動作することを特徴とする請求項20に記載のメモリシステム。

【請求項22】

第1クロック信号線上のシステムクロック信号に応答して第2クロック信号線上の第1クロック信号を発生する遅延同期ループを備えており、

50

前記少なくとも一つの第 1 メモリ装置は、前記第 1 クロック信号に同期して動作することを特徴とする請求項 20 に記載のメモリシステム。

【請求項 23】

前記システムクロック信号のための前記第 1 クロック信号線は、前記第 1 クロック信号のための前記第 2 クロック信号線に垂直に配置されることを特徴とする請求項 21 に記載のメモリシステム。

【請求項 24】

前記システムクロック信号のための前記第 1 クロック信号線は、前記第 1 クロック信号のための前記第 2 クロック信号線に垂直に配置されることを特徴とする請求項 22 に記載のメモリシステム。

10

【請求項 25】

メモリモジュールと、

前記マザーボード上に装着され、前記メモリモジュールと連結される受信部を備えることを特徴とする請求項 18 に記載のメモリシステム。

【請求項 26】

前記メモリモジュールは、

前記メモリモジュールのモジュールボード上に装着されている複数の第 2 メモリ装置と

、
前記メモリモジュールのモジュールボード上に装着され、前記複数の第 2 メモリ装置をドライビングできる第 2 バッファと、を備えることを特徴とする請求項 25 に記載のメモリシステム。

20

【請求項 27】

システムクロックにตอบสนองして第 1 クロックを発生する位相同期ループを備えており、前記複数の第 2 メモリ装置は、前記第 1 クロックに同期して動作することを特徴とする請求項 25 に記載のメモリシステム。

【請求項 28】

システムクロックにตอบสนองして第 1 クロックを発生する遅延同期ループを備えており、前記複数の第 2 メモリ装置は、前記第 1 クロックに同期して動作することを特徴とする請求項 25 に記載のメモリシステム。

【請求項 29】

30

前記受信部は、

マザーボード上において前記メモリコントローラから前記少なくとも一つの第 1 メモリ装置までの距離よりも速くに配置されることを特徴とする請求項 25 に記載のメモリシステム。

【請求項 30】

マザーボード上に複数の第 1 メモリ装置を装着する段階と、

対応するコマンド及びアドレス信号を前記マザーボード上の前記複数の第 1 メモリ装置にドライビングできる第 1 コマンド及びアドレスバッファを装着する段階と、を備えることを特徴とするメモリシステムの構成方法。

【請求項 31】

40

前記アドレスバッファから前記マザーボード上の前記第 1 メモリ装置に前記コマンド及びアドレス信号のための第 1 信号線を配線する段階を備えることを特徴とする請求項 30 に記載のメモリシステムの構成方法。

【請求項 32】

前記マザーボード上に装着されているメモリコントローラから前記第 1 コマンド及びアドレスバッファに前記コマンド及びアドレス信号のための第 2 信号線を配線し、前記第 1 信号線は、前記第 2 信号線と垂直であることを特徴とする請求項 31 に記載のメモリシステムの構成方法。

【請求項 33】

システムクロックにตอบสนองして第 1 クロックを発生する位相同期ループを前記マザーボー

50

ド上に装着する段階を備えることを特徴とする請求項 3 1 に記載のメモリシステムの構成方法。

【請求項 3 4】

システムクロックに応答して第 1 クロックを発生する遅延同期ループを前記マザーボード上に装着する段階を備えることを特徴とする請求項 3 1 に記載のメモリシステムの構成方法。

【請求項 3 5】

前記マザーボード上に装着されている受信部を通じて前記マザーボード上に装着されているメモリコントローラと前記メモリモジュールを電気的に連結する段階を備えることを特徴とする請求項 3 1 に記載のメモリシステムの構成方法。

10

【請求項 3 6】

前記メモリモジュールのモジュールボード上に第 2 メモリ装置を装着する段階と、
前記モジュールボード上に第 2 コマンド及びアドレスバッファを装着する段階と、を具備しており、

前記モジュールボードは、前記マザーボード上に装着されているソケットを通じてメモリコントローラに連結されることを特徴とする請求項 3 1 に記載のメモリシステムの構成方法。

【請求項 3 7】

システムクロックに応答して第 1 クロックを発生する位相同期ループを前記マザーボード上に装着する段階を備えることを特徴とする請求項 3 6 に記載のメモリシステムの構成方法。

20

【請求項 3 8】

システムクロックに応答して第 1 クロックを発生する遅延同期ループを前記マザーボード上に装着する段階を備えることを特徴とする請求項 3 7 に記載のメモリシステムの構成方法。

【請求項 3 9】

マザーボードに直接装着され、複数のコマンド及びアドレス信号を発生するメモリコントローラと、

前記マザーボード上に直接装着され、前記コマンド及びアドレス信号を受信する第 1 バッファと、

30

前記マザーボード上に直接装着され、前記第 1 バッファに連結される少なくとも一つの第 1 メモリ装置と、

前記マザーボード上において前記第 1 バッファ及び前記少なくとも一つの第 1 メモリ装置に配線される複数の信号線と、を備えることを特徴とするメモリシステム。

【請求項 4 0】

マザーボードに直接装着され、複数のコマンド及びアドレス信号を発生するメモリコントローラと、

前記マザーボード上に直接装着され、前記コマンド及びアドレス信号を受信する第 1 バッファと、

前記マザーボード上に直接装着され、前記第 1 バッファに連結する少なくとも一つの第 1 メモリ装置と、

40

前記少なくとも一つのメモリモジュールは、前記モジュールボード上に装着され前記コマンド及びアドレス信号を受信する第 2 バッファと、前記第 2 バッファに連結され前記少なくとも一つの第 1 メモリ装置よりも前記メモリコントローラから遠い位置において前記モジュールボード上に装着される少なくとも一つの第 2 メモリ装置と、を具備する少なくとも一つのメモリモジュールと、

前記マザーボード上において前記第 1 バッファ及び前記少なくとも一つの第 1 メモリ装置に配線される複数の第 1 信号線と、

前記モジュールボード上における前記第 2 バッファ及び前記少なくとも一つの第 2 メモリ装置に配線される複数の第 2 信号線と、を備えることを特徴とするメモリシステム。

50

【請求項 4 1】

マザーボードに直接装着され、複数のコマンド及びアドレス信号を発生するメモリコントローラと、

前記マザーボード上に直接装着され、前記コマンド及びアドレス信号を受信する第 1 バッファと、

前記マザーボード上に直接装着され、クロック信号を受信する位相同期ループと、

前記マザーボード上に直接装着され、前記第 1 バッファに連結される少なくとも一つの第 1 メモリ装置と、

前記マザーボード上において前記第 1 バッファ及び前記少なくとも一つの第 1 メモリ装置に配線される複数の信号線を備えており、

前記第 1 メモリ装置は、前記位相同期ループから出力される内部クロック信号に同期して動作することを特徴とするメモリシステム。

10

【請求項 4 2】

マザーボードに直接装着され、複数のコマンド及びアドレス信号を発生するメモリコントローラと、

前記マザーボード上に直接装着され、前記コマンド及びアドレス信号を受信する第 1 バッファと、

前記マザーボード上に直接装着され、クロック信号を受信する第 1 位相同期ループと、

前記マザーボード上に直接装着され、前記第 1 バッファに連結される少なくとも一つの第 1 メモリ装置と、

20

モジュールボード上に装着され、前記コマンド及びアドレス信号を受信する第 2 バッファと、前記第 2 バッファに連結され前記少なくとも一つの第 1 メモリ装置よりも前記メモリコントローラから遠い位置において前記モジュールボード上に装着される少なくとも一つの第 2 メモリ装置と、を具備する少なくとも一つのメモリモジュールと、

前記マザーボード上に直接装着され、前記クロック信号を受信する第 2 位相同期ループと、

前記マザーボード上において前記第 1 バッファ及び前記少なくとも一つの第 1 メモリ装置に配線される複数の第 1 信号線と、

前記モジュールボード上において前記第 2 バッファ及び前記少なくとも一つの第 2 メモリ装置に配線される複数の第 2 信号線と、を備えており、

30

前記第 1 メモリ装置は、前記第 1 位相同期ループから出力される第 1 内部クロック信号に同期して動作し、前記第 2 メモリ装置は、前記第 2 位相同期ループから出力される第 2 内部クロック信号に同期して動作することを特徴とするメモリシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリシステムに係り、特にマザーボードに直接装着されるメモリシステム及び方法に関する。

【背景技術】

【0002】

40

最近、大容量のメモリを具備するメモリシステムに対する要求の増加にともなって複数のメモリチップを装着したメモリモジュールをマザーボードに連結するメモリ構造が多く使われている。例えば、S I M M (Single Inline Memory Module) または D I M M (Dual Inline Memory Module) と呼ばれるメモリモジュールは、メイン回路やマザーボードに装着される拡張ソケットに容易に連結できるように考案された回路ボードである。

【0003】

図 1 及び図 2 は、コンピュータシステムのメモリ構造を説明する図面である。図 1 及び図 2 を参照すれば、システム 100 は、メモリコントローラ 104 によって制御されるメモリモジュール 106 を具備する。メモリコントローラ 104 は、メモリモジュール 106 の読出し及び書込み動作を制御する。メモリコントローラ 104 は、マザーボード 10

50

2に装着される。メモリコントローラ104の動作は当業者によく知られているので詳しい説明は省略する。

【0004】

メモリモジュール106は、複数の連結パッド116を具備するエッジコネクタ114を含む。一般に、連結パッド116は、メモリモジュール106の両側面に配置される。複数のソケット112がマザーボード102に装着される。ソケット112は、電氣的にメモリモジュール106とマザーボード102とを連結するためにエッジコネクタ114と連結される。

【0005】

メモリモジュール106は、複数のメモリ装置108を具備する。メモリ装置108は、例えばDRAMまたはSDRAMでありうる。 10

【0006】

バッファ110は、メモリコントローラ104から受信するコマンドとアドレス信号C/Aを制御する。複数のメモリ装置108とバッファ110とはメモリモジュール106に装着される。

【0007】

図1に示した信号線は、マザーボード102とモジュール106の両方に連結される。信号線は、データバスDQ、システムクロック信号CLK、及びコマンドアドレスバスC/Aを含む。メモリ装置108は、マザーボード102に装着されている対応するソケット112を介してメモリコントローラ104から信号を受信する。 20

【0008】

メモリ構造において、アドレス、制御及びクロック信号線の集積度を維持することが重要である。信号反射を含む伝送ライン効果のために動作周波数が増加するほど信号線の集積度を維持し難くなる。

【0009】

伝送ライン理論によると、ソケット112を通じたマザーボード102とモジュール106との連結にはスタブ抵抗が発生する。スタブ抵抗は、信号反射及び信号集積度に悪影響を及ぼす伝送不連続現象(transmission discontinuity)を表す。

【0010】

図1～3において、データバスDQのような信号線302がマザーボード102上にある。信号線302は、ソケット312を介してマザーボード102上の信号線304と電氣的に連結される。 30

【0011】

ところが、ソケット312は、信号線302と信号線304との間に不連続部306をもたらし、不連続306は、タイミングマージンと電圧ウィンドウとを減少させ、発生したノイズを反送(reflect back)させるという問題がある。

【0012】

図4において、メモリモジュール406上のスタブ抵抗416は、信号反射を減少させる。スタブ抵抗416は、メモリ読出し及び書込み動作を向上させる。しかし、スタブ抵抗416の値が増加するほど信号反射は減少するが、スタブ抵抗416による電圧降下が増加し信号電圧を減少させる。 40

【0013】

信号電圧が減少すると電圧ウィンドウが減少する。そして、スタブ抵抗416は信号を遅延させるRC寄生抵抗を発生させる。

【発明の開示】

【発明が解決しようとする課題】

【0014】

本発明の目的は、例えば、コマンド信号とアドレス信号とを高速で受信し高速動作が可能な構造のメモリシステムを提供することである。

【課題を解決するための手段】

50

【0015】

前記技術的課題を達成するための本発明の第1実施の形態によるメモリシステムは、マザーボードに装着される第1バッファと、前記マザーボードに装着され、前記第1バッファに連結される少なくとも一つの第1メモリ装置と、前記マザーボード上において前記第1バッファ及び前記少なくとも一つの第1メモリに配線される複数の信号線と、を備える。

【0016】

前記第1バッファは、例えば、アドレス及びコマンド信号を前記少なくとも一つの第1メモリ装置にドライビングするコマンド及びアドレスバッファである。前記コマンド及びアドレスバッファは、例えば、前記マザーボード上に配線されている第1コマンド及びアドレス信号線を介してコマンド及びアドレス信号を受信する。

10

【0017】

前記少なくとも一つの第1メモリ装置は、例えば、前記マザーボード上に配線されている第2コマンド及びアドレス信号線を介して前記コマンド及びアドレスバッファから前記コマンド及びアドレス信号を受信し、前記第1コマンド及びアドレス信号線は、例えば、前記第2コマンド及びアドレス信号線と垂直に配置される。

【0018】

前記少なくとも一つの第1メモリ装置は、例えば、DRAMまたはSDRAMである。前記少なくとも一つの第1メモリ装置は、例えば、マザーボード上に配線され、対応するデータ及びクロック信号線を介してデータ信号及びクロック信号を受信する。メモリシステムは、例えば、前記マザーボード上に装着されているソケットを通じてメモリコントローラと電気的に連結される少なくとも一つのメモリモジュールを備える。

20

【0019】

前記少なくとも一つのメモリモジュールは、例えば、前記少なくとも一つのメモリモジュールのモジュールボード上に装着される第2バッファと、前記少なくとも一つのメモリモジュールのモジュールボード上に装着され前記第2バッファに連結される少なくとも一つの第2メモリ装置と、を備える。

【0020】

前記少なくとも一つのメモリモジュールは、例えば、マザーボード上における前記メモリコントローラから前記少なくとも一つの第1メモリ装置までの距離よりも遠くに配置される。前記メモリシステムは、例えば、第1クロック信号線上のシステムクロック信号にตอบสนองして第2クロック信号線上の第1クロック信号を発生しマザーボード上に装着される位相同期ループを備えることができ、前記少なくとも一つの第1メモリ装置は、例えば前記第1クロック信号に同期して動作する。

30

【0021】

前記メモリシステムは、例えば、第1クロック信号線上のシステムクロック信号にตอบสนองして第2クロック信号線上の第1クロック信号を発生しマザーボード上に装着される遅延同期ループを備えることができ、前記少なくとも一つの第1メモリ装置は、例えば前記第1クロック信号に同期して動作する。

【0022】

前記システムクロック信号のための前記第1クロック信号線は、例えば、前記第1クロック信号のための前記第2クロック信号線に垂直に配置されている。

40

【発明の効果】

【0023】

本発明によれば、例えば、信号減衰の原因である信号反射を発生させるスタブ抵抗を除去することができる。

【発明を実施するための最良の形態】

【0024】

本発明とその動作上の利点及び本発明の実施によって達成される目的を十分に理解するためには本発明の望ましい実施の形態を例示する添付図面及び添付図面に記載された内容

50

を参照せねばならない。

【0025】

以下、添付した図面に基づき、本発明の望ましい実施の形態を説明することにより本発明を詳細に説明する。各図面に示された同じ参照符号は同じ構成要素を意味する。

【0026】

図5は、本発明の実施の形態によるメモリシステムを上から見た図面である。図6は、図5のメモリシステムのブロック図である。図5及び図6に示す構成例において、メモリシステム500は、複数のメモリランク516を制御するメモリコントローラ504を具備する。メモリコントローラ504は、マザーボード502上に装着される。

【0027】

メモリコントローラ504の構造及び動作は当業者によく知られているのでその詳しい説明を省略する。

【0028】

複数のメモリランク516は、マザーボード502上に直接装着される。すなわち、図1のメモリシステム100のような分離されたメモリモジュール106を備えていない。それぞれのメモリランクは、バッファ510に連結される複数のメモリ装置508を具備する。

【0029】

複数のメモリ装置508は、マザーボード502上に直接装着される。それぞれのメモリ装置508は、例えばDRAMまたはSDRAMでありうる。メモリ装置508の構造及び動作は当業者によく知られているので詳しい説明を省略する。

【0030】

バッファ510は、メモリコントローラ504から受信されるコマンド及びアドレスを制御し、バッファリングする。バッファ510は、コマンド及びアドレスバッファでありうる。バッファ510はマザーボード502上に装着される。バッファ510は、インバータ、ドライバ、及びメモリコントローラ504から受信されるコマンドとアドレス信号とを複数のメモリ装置508にドライブできる装置を備えてもよい。バッファ510の構造及び動作は当業者によく知られているので詳しい説明を省略する。

【0031】

マザーボード502上に信号線が配線される。信号線は、図5及び6に示したようにデータバスDQ、システムクロック信号CLK、及びコマンド及びアドレスバスC/Aを含むことができる。

【0032】

メモリシステム500の動作は次の通りである。メモリコントローラ504は、コマンド及びアドレス信号を発生させ、コマンド及びアドレス信号をマザーボード502上に配線されている信号線を介してコマンド及びアドレスバッファ510に伝送する。

【0033】

メモリ装置508は、データ信号DQ及びシステムクロック信号CLKをコントローラ504から受信したり、またはマザーボード502上の他の回路(図示せず)から受信する。コマンド信号が読出し動作を指示すると、メモリ装置508は、システムクロックCLKに応答してアドレス信号によって指示されたメモリセルから読出されたデータを外部に出力する。

【0034】

コマンド信号が書込み動作を指示すると、メモリ装置508は、システムクロックCLKに応答してアドレス信号によって指示されたメモリセルにデータを書込む。

【0035】

図5のメモリシステム500では、メモリモジュールを除去することによって信号反射を発生させるスタブ抵抗が除去される。メモリモジュールがなければ、伝送ラインの不連続部を発生させるソケットも必要がない。伝送ラインの不連続部がなければ、前述の問題点として提起されたような、信号反射によって信号線の集積度が減少する問題も除去でき

る。

【0036】

図7は、本発明の実施の形態によるメモリシステムの側面図である。図7に示すシステム700は、図5及び6を参照して説明した複数のメモリランク516及びコントローラ504を備えている。複数のメモリランク516及びコントローラ504はマザーボード502上に装着される。

【0037】

図5示すシステム500と異なり、図7に示すシステム700は、メモリモジュール716を具備する。メモリモジュール716は、複数の連結パッド(図示せず)を具備するエッジコネクタ714、複数のメモリ装置708、モジュールボード706、及びC/Aバッファ710を具備し得る。連結パッド(図示せず)は、一般にモジュールボード706の両面に装着される。

【0038】

複数の受信部、例えばソケット712はマザーボード502に装着される。ソケット712は、エッジコネクタ714と連結されてマザーボード502とメモリモジュール716とを電氣的に連結する。

【0039】

特に、ソケット712は、マザーボード502上の信号線をモジュールボード706上の信号線に電氣的に連結し、メモリモジュール716をマザーボード502及びコントローラ504に連結させる。

【0040】

メモリモジュール716は、複数のメモリ装置708を備える。複数のメモリ装置708は、DRAMまたはSDRAMであり得る。バッファ710は、メモリコントローラ504から受信されるコマンドとアドレスを制御してバッファリングする。メモリ装置708及びバッファ710はモジュールボード706上に装着される。

【0041】

メモリモジュール716は、コントローラ504からメモリランク508までの距離よりも遠くに配置される。これにより、マザーボード502上の信号線から分岐される分岐点を除去でき、信号反射を除去できる。

【0042】

分岐点は、分岐点から分岐する方向の数だけ信号を分散させて伝送させる。分岐点においては特性インピーダンス(Z0)の不一致によって意図せぬ信号反射が発生するおそれがある。

【0043】

コントローラ504とメモリモジュール716との間の信号経路は、コントローラ504からメモリモジュール716のメモリ装置708にまで拡張される。メモリ装置708は、モジュールボード706上に直接ソルダボールにより連結されるので、コントローラ504からメモリ装置708への信号経路には分岐点がなく、その結果、信号反射もない。

【0044】

一方、メモリモジュール716がコントローラ504とメモリランク516との間に配置されれば、ソケットはスタブや分岐点を形成する信号線上に配置されなければならない。したがって、このような構造は信号反射を発生させる。

【0045】

図8は、本発明の実施の形態によるメモリシステム800の側面図である。図8のシステム800は、図7のシステム700が一つのメモリモジュール716だけを持つという点を除けば、図7のシステム700と類似している。

【0046】

図8に示すシステム800は、2つ以上のメモリモジュールを具備することができる。図8に示すシステム800では、マザーボード502から分岐される分岐点が存在するた

めに、図 1 に示したシステム 100 の問題点を有しうる。図 8 に示すシステム 800 に存在する分岐点は、信号反射を発生させて信号集積度に悪い影響を及ぼす可能性がある。それにもかかわらず、図 8 のシステム 800 は、複数のメモリランク 516 をマザーボード 502 上に直接装着することによって信号減衰を最小化させ得る。

【0047】

図 9 は、本発明の実施の形態によるメモリシステム 900 を上から見た図面である。図 9 に示すシステム 900 は、それぞれのメモリランク 516 内に位相同期ループ 520 をさらに具備するという点を除けば、図 5 のシステム 500 と類似している。

【0048】

位相同期ループ 520 は、システムクロック CLK に応答して第 1 クロックを発生させる。位相同期ループ 520 は、第 1 クロックを対応するメモリ装置 508 に印加する。位相同期ループ 520 により、システム 900 は、システムクロック CLK をコントローラ 504 からそれぞれのメモリ装置 508 に分離させて伝送する必要がなくなる。

10

【0049】

他の実施の形態として、位相同期ループ 520 は、位相同期ループ 520 と同様に動作する遅延同期ループ(図示せず)に置換えられうる。すなわち、遅延同期ループは、システムクロック CLK に応答して第 1 クロックを発生し、第 1 クロックを対応するメモリ装置 508 に印加する。

【0050】

図 10 は、本発明の実施の形態によるメモリシステム 1000 を上から見た図面である。図 10 に示すシステム 1000 は、メモリモジュール 716 をさらに具備する点を除けば図 9 のシステム 900 と類似している。メモリモジュール 716 は、図 7 において説明されたものと同様に動作する。

20

【0051】

メモリモジュール 716 は、システムクロック CLK に応答して第 1 クロックを発生する位相同期ループ 720 とモジュールボード 706 とを備える。位相同期ループ 720 は、第 1 クロックをメモリモジュール 716 の対応するメモリ装置 708 に印加する。

【0052】

位相同期ループ 520、720 により、システム 1000 は、システムクロック CLK をコントローラ 504 からそれぞれのメモリ装置 508、708 に分離させて伝送する必要がなくなる。

30

【0053】

他の実施の形態として、位相同期ループ 520、720 は、位相同期ループ 520、720 と同様に動作する遅延同期ループ(図示せず)に置換えられうる。すなわち、遅延同期ループは、システムクロック CLK に応答して第 1 クロックを発生し、第 1 クロックを対応するメモリ装置 508、708 に印加する。

【0054】

少なくとも一つの第 1 メモリ装置 708 は、マザーボード上に配線されている第 2 コマンド及びアドレス信号線を介してコマンド及びアドレスバッファからコマンド及びアドレス信号を受信する。第 1 コマンド及びアドレス信号線は、第 2 コマンド及びアドレス信号線と垂直に配置される。

40

【0055】

以上のように、図面及び明細書において最適の実施の形態が開示された。ここで特定用語が使われたが、これは単に本発明を具体的に説明するための目的として使われたものであり、意味限定や特許請求の範囲に記載された本発明の範囲を制限するために使われたものではない。したがって、当業者ならば、これより多様な変形及び均等な他の実施の形態の採用が可能であるという点を理解しうる。したがって、本発明の真の技術的保護範囲は特許請求の範囲によってのみ決まるべきである。

【産業上の利用可能性】

【0056】

50

本発明は、半導体メモリ装置分野に利用でき、特にメモリモジュールを用いた半導体メモリシステム構成に利用できる。

【図面の簡単な説明】

【0057】

【図1】メモリシステムを上から見た図面である。

【図2】図1のメモリシステムの側面図である。

【図3】図1のメモリシステムの信号伝送ライン構造を説明する図面である。

【図4】メモリシステムを上から見た図面である。

【図5】本発明の実施の形態によるメモリシステムを上から見た図面である。

【図6】図5のメモリシステムのブロック図である。

10

【図7】本発明の実施の形態によるメモリシステムの側面図である。

【図8】本発明の実施の形態によるメモリシステムの側面図である。

【図9】本発明の実施の形態によるメモリシステムを上から見た図面である。

【図10】本発明の実施の形態によるメモリシステムを上から見た図面である。

【符号の説明】

【0058】

500 メモリシステム

502 マザーボード

504 メモリコントローラ

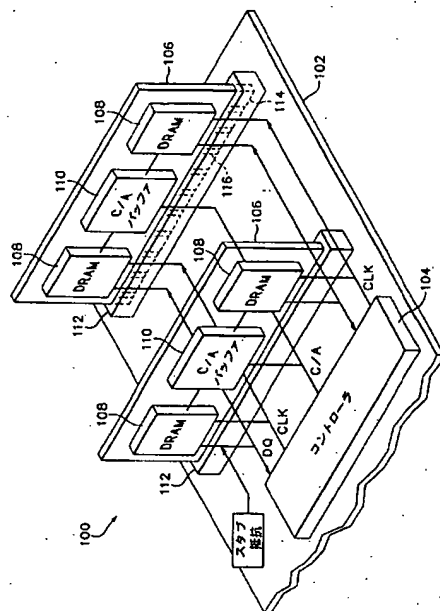
508 メモリ装置

20

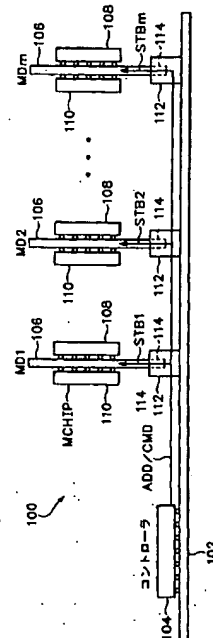
510 バッファ

516 メモリリンク

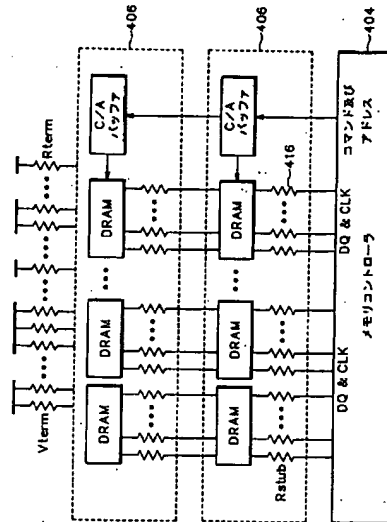
【図1】



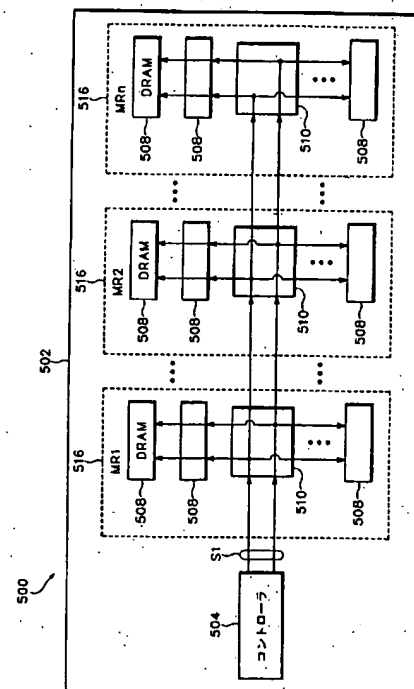
【図2】



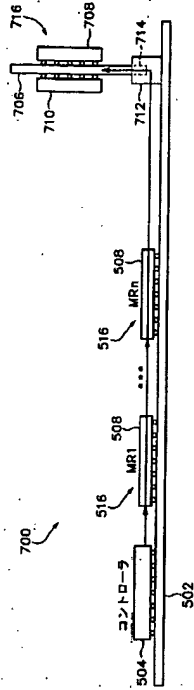
【図 4】



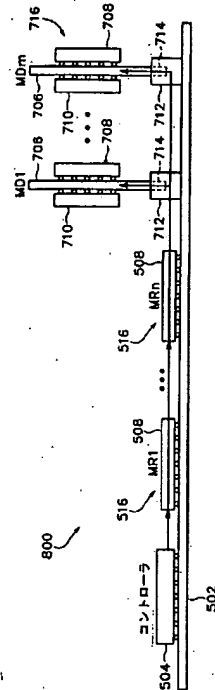
【図 6】



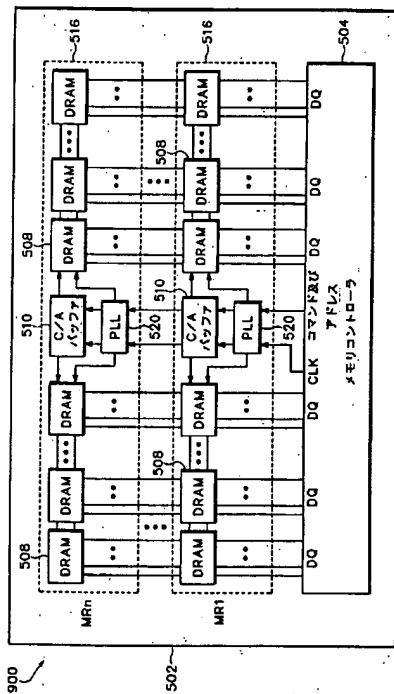
【図 7】



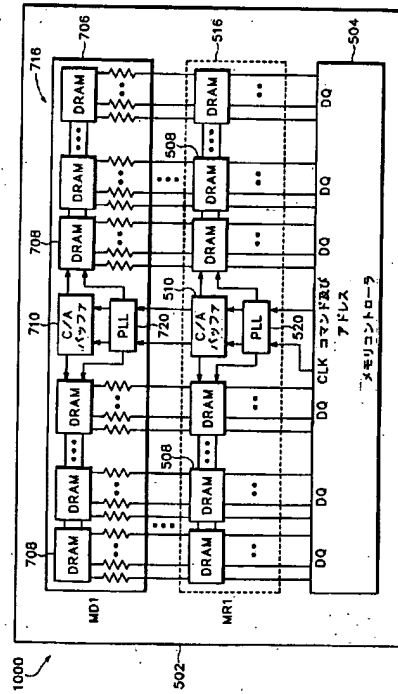
【図 8】



【図 9】



【図 10】



フロントページの続き

(72)発明者 鄭會柱

大韓民国京畿道龍仁市器興邑上葛里454番地住公5団地アパート506棟1502号

Fターム(参考) 5B060 MM06